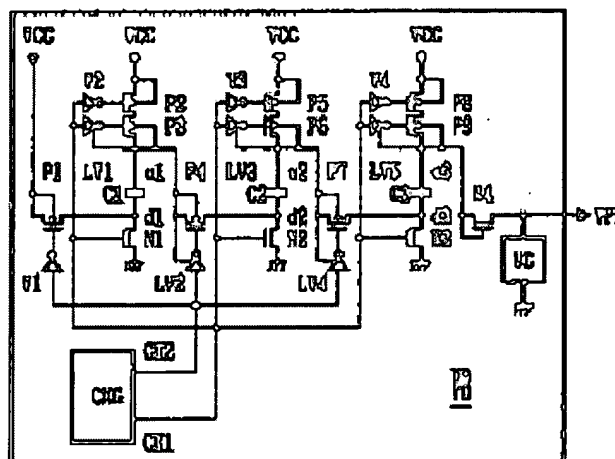


VOLTAGE BOOSTING CIRCUIT

Patent number: JP7264842
Publication date: 1995-10-13
Inventor: WADA MASASHI; others: 01
Applicant: HITACHI LTD; others: 01
Classification:
- **international:** H02M3/07; G11C16/06; H01L27/04; H01L21/822
- **europaean:**
Application number: JP19940075320 19940322
Priority number(s):

Abstract of JP7264842

PURPOSE: To reduce a chip area of flash memory, etc., including a voltage boosting circuit to realize high performance thereof by reducing the number of stages of the voltage boosting circuits to shorten the rising time.
CONSTITUTION: A voltage boosting circuit VB is basically composed of MOSFETs P2, P3, P5, P6, P8, P9 which are selectively turned ON by receiving a high level clock signal CK1, MOSFETs N1 to N3 which are also selectively turned ON by receiving a high level clock signal CK1 and MOSFETs P1, P4, P7 which are selectively turned ON by receiving a high level clock signal CK2. Thereby, when the clock signal CK1 is in the high level, capacitors C1 to C3 are substantially coupled in parallel and the upper electrode thereof is charged up to the power supply voltage VCC, and when the clock signal CK2 is in the high level, these capacitors are substantially coupled in series and the potential at the high voltage supplying point VPP is boosted at a time up to (Q+1) XVCC.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-264842

(43)公開日 平成7年 (1995) 10月13日

(51)Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 2 M 3/07

G 1 1 C 16/06

H 0 1 L 27/04

G 1 1 C 17/00

3 0 9

D

H 0 1 L 27/04

G

審査請求 未請求 請求項の数5 F D (全 11 頁) 最終頁に続く

(21)出願番号 特願平6-75320

(22)出願日 平成6年 (1994) 3月22日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 和田 正志

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(74)代理人 弁理士 徳若 光政

最終頁に続く

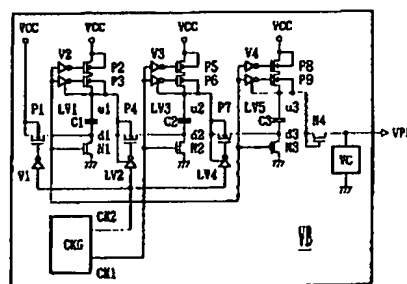
(54)【発明の名称】 昇圧回路

(57)【要約】 (修正有)

【目的】 昇圧回路の所要段数を削減しその立ち上がり時間を短縮して、昇圧回路を含むフラッシュメモリ等のチップ面積を縮小しその高性能化を図る。

【構成】 昇圧回路VBを、クロック信号CK1のハイレベルを受けて選択的にオン状態とされるMOSFET P2, P3, P5, P6, P8, P9と、クロック信号CK1のハイレベルを受けて選択的にオン状態とされるMOSFET N1~N3と、クロック信号CK2のハイレベルを受けて選択的にオン状態とされるMOSFET P1, P4, P7とを基本に構成する。これにより、クロック信号CK1がハイレベルとされるとき、キャパシタC1~C3を実質的に並列結合してその上部電極を電源電圧VCCまで充電し、クロック信号CK2がハイレベルとされるとき、これらのキャパシタを実質的に直列結合して高電圧供給点VPPにおける電位を一気に $(Q+1) \times VCC$ まで押し上げる。

図2 昇圧回路図 (実施例1)



【特許請求の範囲】

【請求項1】 第1のタイミングで実質的に並列結合されて充電され、上記第1のタイミングと重複しない第2のタイミングで実質的に直列結合されて放電される複数の容量手段を含むことを特徴とする昇圧回路。

【請求項2】 上記容量手段は、Q個設けられるものであって、上記昇圧回路は、第1の電源電圧と第1ないし第Qの上記容量手段の一方の電極との間にそれぞれ設けられ第1のクロック信号に従って選択的にオン状態とされるQ個の第1のスイッチ手段と、第1ないし第Qの上記容量手段の他方の電極と第2の電源電圧との間にそれぞれ設けられ上記第1のクロック信号に従って上記第1のスイッチ手段と同時にオン状態とされるQ個の第2のスイッチ手段と、第1の電源電圧と第1の上記容量手段の他方の電極との間あるいは第1ないし第Q-1の上記容量手段の一方の電極と第2ないし第Qの上記容量手段の他方の電極との間にそれぞれ設けられ上記第1のクロック信号とは同時に有効レベルとされることのない第2のクロック信号に従って選択的にオン状態とされるQ個の第3のスイッチ手段とを含むものであることを特徴とする請求項1の昇圧回路。

【請求項3】 上記第1のスイッチ手段のそれぞれは、そのソース及び基板部が第1の電源電圧に結合されそのゲートに上記第1のクロック信号のインバータによる反転信号を受ける第1導電型の第1のMOSFETと、そのソースが上記第1のMOSFETのドレインに結合されそのドレイン及びソースが第1ないし第Qの上記容量手段の一方の電極にそれぞれ結合されそのゲートに上記第1のクロック信号のレベル変換インバータによる反転信号を受ける第1導電型の第2のMOSFETとからなり、上記第2のスイッチ手段のそれぞれは、そのドレインが第1ないし第Qの上記容量手段の他方の電極にそれぞれ結合されそのソースが第2の電源電圧に結合されそのゲートに上記第1のクロック信号を受ける第2導電型の第3のMOSFETからなり、上記第3のスイッチ手段のそれぞれは、そのソースが第1の電源電圧又は第1ないし第Q-1の上記容量手段の一方の電極にそれぞれ結合されそのドレインが第1ないし第Qの上記容量手段の他方の電極にそれぞれ結合されそのゲートに上記第2のクロック信号のレベル変換インバータによる反転信号を受ける第1導電型の第4のMOSFETからなるものであることを特徴とする請求項1又は請求項2の昇圧回路。

【請求項4】 上記昇圧回路は、上記第1のクロック信号の有効レベルの絶対値を大きくして第3のクロック信号を形成するクロックレベル変換回路を含むものであって、上記第1のスイッチ手段のそれぞれは、そのドレインが第1の電源電圧に結合されそのソースが第1ないし第Qの上記容量手段の一方の電極にそれぞれ結合されそのゲートに上記第3のクロック信号を受ける第2導電型

の第5のMOSFETからなり、上記第2のスイッチ手段のそれぞれは、そのドレインが第1ないし第Qの上記容量手段の他方の電極にそれぞれ結合されそのソースが第2の電源電圧に結合されそのゲートに上記第1又は第3のクロック信号を受ける第2導電型の第3のMOSFETからなり、上記第3のスイッチ手段のそれぞれは、そのソースが第1の電源電圧又は第1ないし第Q-1の上記容量手段の一方の電極にそれぞれ結合されそのドレインが第1ないし第Qの上記容量手段の他方の電極にそれぞれ結合されそのゲートに上記第2のクロック信号のレベル変換インバータによる反転信号を受ける第1導電型の第4のMOSFETからなるものであることを特徴とする請求項1又は請求項2の昇圧回路。

【請求項5】 上記昇圧回路は、2層ゲート構造型メモリセルが格子状に配置されてなるメモリアレイを備えるフラッシュメモリに設けられるものであり、その出力電圧は、上記2層ゲート構造型メモリセルの書き込み時又は消去時においてそのコントロールゲート又はソースに供給されるものであることを特徴とする請求項1、請求項2、請求項3又は請求項4の昇圧回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は昇圧回路に関し、例えば、フラッシュメモリに内蔵されその書き換えに必要な高電圧を形成する昇圧回路に利用して特に有効な技術に関する。

【0002】

【従来の技術】 2層ゲート構造型メモリセルが格子状に配置されてなるメモリアレイをその基本構成要素とし、例えば+5V（ボルト）の電源電圧VCCのみによるオンボード書き換えを実現したいいわゆる単一電源型のフラッシュメモリがある。また、このようなフラッシュメモリ等に内蔵され、+5Vの電源電圧VCCをもとに2層ゲート構造型メモリセルのオンボード書き換えに必要な例えば+12Vの高電圧VPPを形成する図9のようないわゆる多段型の昇圧回路がある。

【0003】 多段型の昇圧回路については、例えば、1984年12月、株式会社日立製作所（Hitachi Ltd.）発行の『ヒタチ イー・イー・ピー・ロム インテグレイテッド サーキット アプリケーション ノート（HITACHI EEPROM INTEGRATED CIRCUITS APPLICATION NOTE）』第15頁に記載されている。

【0004】

【発明が解決しようとする課題】 図9において、昇圧回路VBは、その下部電極（以下、回路図における位置関係をもってキャパシタの下部電極又は上部電極と言う）にクロック信号CK1を受ける3個のキャパシタC6、C8及びC10と、その下部電極にクロック信号CK2を受けるもう3個のキャパシタC7、C9及びC11と

3

を含む。これらのキャパシタの上部電極は、ダイオード形態とされるNチャンネル型のMOSFET（金属酸化物半導体電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）N14～N19のソースに結合される。また、MOSFETN14の共通結合されたゲート及びドレインは電源電圧VCCに結合され、MOSFETN20のソースは、ダイオード形態とされるNチャンネルMOSFETN20を介して昇圧回路VBの出力端子つまり高電圧供給点VPPに結合される。この高電圧供給点VPPと回路の接地電位との間には、平滑容量を含むクランプ回路VCが設けられる。

【0005】キャパシタC6、C8及びC10の上部電極は、クロック信号CK1が接地電位VSSつまり0Vのロウレベルとされるとき、 $VCC - V_{th}$ （ここで、VCCは電源電圧VCCの電位を表し、 V_{th} はNチャンネルMOSFETのしきい値電圧を表す。以下同様）、 $3VCC - 3V_{th}$ 及び $5VCC - 5V_{th}$ にそれぞれ充電され、クロック信号CK1が電源電圧VCCのようなハイレベルとされるとき、 $2VCC - V_{th}$ 、 $4VCC - 3V_{th}$ 及び $6VCC - 5V_{th}$ にそれぞれ昇圧される。また、キャパシタC7、C9及びC11の上部電極は、クロック信号CK2がロウレベルとされるとき、 $2VCC - 2V_{th}$ 、 $4VCC - 4V_{th}$ 及び $6VCC - 6V_{th}$ にそれぞれ充電され、クロック信号CK2がハイレベルとされるとき、 $3VCC - 2V_{th}$ 、 $5VCC - 4V_{th}$ 及び $7VCC - 6V_{th}$ にそれぞれ昇圧される。これらのことから、高電圧供給点VPPには $7VCC - 7V_{th}$ なる昇圧電圧が得られ、これをクランプ回路VCでクランプ・平滑することによって+12Vの高電圧VPPが得られる。

【0006】ところが、フラッシュメモリの高集積化・高性能化が進むにしたがって、上記のような従来の昇圧回路には次のような問題点が生じることが本願発明者等によって明らかとなった。すなわち、図9の昇圧回路において、高電圧供給点VPPに得られる昇圧電圧の電位VPP0は、前記説明から類推できるように、昇圧回路の段数つまり昇圧用キャパシタの数をQ個とすると、 $VPP0 = (Q+1) \times (VCC - V_{th})$
 $= (Q+1) \times VCC - (Q+1) \times V_{th}$
 となり、電源電圧VCCの電位VCCのQ+1倍よりNチャンネルMOSFETのしきい値電圧 V_{th} のQ+1倍分だけ低くなる。この結果、所望の電圧を得るために必要な昇圧回路の段数が多くなり、これによって昇圧回路の所要レイアウト面積が増大し、フラッシュメモリ等のチップ面積が増大する。

【0007】一方、図9の昇圧回路では、電源投入時、キャパシタC6～C11の上部電極の電位がそのチャージポンプ作用により順次右方に伝達されて高くなるため、高電圧供給点VPPにおける昇圧電圧の電位VPP

4

Oが上記所望の電位に達するのは、クロック信号CK1及びCK2の少なくともQ/2サイクル分に相当する時間が経過した後となる。このため、電源投入直後におけるフラッシュメモリの書き換えが困難となり、これによってその高性能化が制約を受ける。

【0008】この発明の目的は、昇圧回路の所要段数を削減し、その立ち上がり時間を短縮することにある。この発明の他の目的は、昇圧回路を内蔵する単一電源型フラッシュメモリ等のチップ面積を縮小し、その高性能化を図ることにある。

【0009】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、単一電源型フラッシュメモリ等に内蔵される昇圧回路を、Q個のキャパシタと、回路の電源電圧と第1ないし第Qのキャパシタの一方の電極との間にそれぞれ設けられ第1のクロック信号に従って選択的にオン状態とされるQ個の第1のスイッチ手段と、第1ないし第Qのキャパシタの他方の電極と回路の接地電位との間にそれぞれ設けられ第1のスイッチ手段と同時にオン状態とされるQ個の第2のスイッチ手段と、回路の電源電圧と第1のキャパシタの他方の電極との間あるいは第1ないし第Q-1のキャパシタの一方の電極と第2ないし第Qのキャパシタの他方の電極との間にそれぞれ設けられ第1のクロック信号と相補的に有効レベルとされる第2のクロック信号に従って選択的にオン状態とされるQ個の第3のスイッチ手段とを基本に構成する。

【0011】

【作用】上記した手段によれば、第1のクロック信号が有効レベルとされるとき、Q個のキャパシタを実質的に並列結合してその一方の電極を電源電圧VCCまで一斉に充電し、第2のクロック信号が有効レベルとされるとき、これらのキャパシタを実質的に直列結合して高電圧供給点における電位を一気に $(Q+1) \times VCC$ まで押し上げることができる。この結果、昇圧回路の所要段数を削減し、その立ち上がり時間を短縮できるため、昇圧回路を内蔵する単一電源型フラッシュメモリ等のチップ面積を縮小し、その高性能化を図ることができる。

【0012】

【実施例】図1には、この発明が適用された昇圧回路を含むフラッシュメモリの一実施例のブロック図が示されている。同図をもとに、まずこの実施例のフラッシュメモリの構成及び動作の概要について説明する。なお、図1の各ブロックを構成する回路素子は、特に制限されないが、公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。

【0013】図1において、フラッシュメモリは、半導体基板面の大半を占めて配置されるメモリアレイMARYをその基本構成要素とする。ここで、メモリアレイMARYは、同図の水平方向に平行して配置される所定数のワード線と、垂直方向に平行して配置される所定数のビット線とを含む。これらのワード線及びビット線の交点には、多数の2層ゲート構造型メモリセルが格子状に配置される。メモリアレイMARYの同一の行に配置された所定数のメモリセルのコントロールゲートは、対応するワード線にそれぞれ共通結合され、そのソースは、対応するソース線にそれぞれ共通結合される。また、同一の列に配置された所定数のメモリセルのドレインは、対応するビット線にそれぞれ共通結合される。

【0014】メモリアレイMARYを構成するワード線は、その左方においてXアドレスデコーダXDに結合され、選択的に所定の選択又は非選択レベルとされる。また、ソース線は、その右方においてソーススイッチSSに結合され、選択的に所定の選択又は非選択レベルとされる。XアドレスデコーダXD及びソーススイッチSSには、XアドレスバッファXBから $i+1$ ビットの内部アドレス信号 $X0 \sim Xi$ が供給されるとともに、昇圧回路VBから所定の高電圧VPPが供給される。また、XアドレスバッファXBには、アドレス入力端子AX0～AXiを介してXアドレス信号AX0～AXiが供給され、消去制御回路ECから消去Xアドレス信号EX0～EXiが供給される。なお、高電圧VPPは、特に制限されないが、+12Vのような比較的絶対値の大きな正電圧とされる。

【0015】XアドレスバッファXBは、フラッシュメモリが通常の読み出しモード又は書き込みモードで選択状態とされるとき、アドレス入力端子AX0～AXiを介して供給されるXアドレス信号AX0～AXiを取り込み、保持する。また、フラッシュメモリが全消去モードとされるとき、消去制御回路ECから供給される消去Xアドレス信号EX0～EXiを取り込み、保持する。そして、これらのXアドレス信号又は消去Xアドレス信号をもとに内部アドレス信号 $X0 \sim Xi$ を形成し、XアドレスデコーダXD及びソーススイッチSSに供給する。

【0016】昇圧回路VBは、外部から電源電圧供給端子VCCを介して供給される電源電圧VCC（第1の電源電圧）をもとに、上記高電圧VPPを形成し、XアドレスデコーダXD及びソーススイッチSSに供給する。これにより、フラッシュメモリは、その書き換えに供される高電圧VPPの外部供給を必要としないいわゆる単一電源型のフラッシュメモリとなる。なお、電源電圧VCCは、特に制限されないが、+5Vのような正電位の電源電圧とされる。昇圧回路VBの具体的構成及び動作ならびにその特徴については、後で詳細に説明する。

【0017】XアドレスデコーダXDは、Xアドレスバ

ッファXBから供給される内部アドレス信号 $X0 \sim Xi$ をデコードして、メモリアレイMARYのワード線を選定の選択又は非選択レベルとする。この実施例において、書き込みモードにおけるワード線の選択レベルは、+12Vつまり高電圧VPPとされ、その非選択レベルは接地電位VSS（第2の電源電圧）つまり0Vとされる。また、読み出しモードにおけるワード線の選択レベルは、+5Vつまり電源電圧VCCとされ、その非選択レベルは接地電位VSSとされる。さらに、フラッシュメモリが消去モードとされるとき、選択状態にあるワード線のレベルは接地電位VSSとされ、非選択状態にあるワード線は開放状態とされる。

【0018】一方、ソーススイッチSSは、XアドレスバッファXBから供給される内部アドレス信号 $X0 \sim Xi$ をデコードして、メモリアレイMARYのソース線を選定の選択又は非選択レベルとする。フラッシュメモリが書き込み又は読み出しモードとされるとき、すべてのソース線のレベルは接地電位VSSとされる。また、フラッシュメモリが消去モードとされるとき、選択状態にあるソース線のレベルは高電圧VPPとされ、非選択状態にあるソース線は開放状態とされる。

【0019】次に、メモリアレイMARYを構成するビット線は、YスイッチYSの対応するNチャンネル型のスイッチMOSFETを介して、共通データ線CD0～CD7に順次8本おきに共通結合される。これらのスイッチMOSFETのゲートは順次8個ずつ共通結合され、YアドレスデコーダYDから対応するビット線選択信号がそれぞれ共通に供給される。YスイッチYSを構成するスイッチMOSFETは、対応するビット線選択信号がハイレベルとされることで8個ずつ選択的にオン状態とされ、メモリアレイMARYの対応する8本のビット線と共通データ線CD0～CD7との間を選択的に接続状態とする。

【0020】YアドレスデコーダYDには、YアドレスバッファYBから内部アドレス信号 $Y0 \sim Yj$ が供給される。また、YアドレスバッファYBには、アドレス入力端子AY0～AYjを介してYアドレス信号AY0～AYjが供給され、消去制御回路ECから消去Yアドレス信号EY0～EYjが供給される。

【0021】YアドレスバッファYBは、フラッシュメモリが通常の書き込み又は読み出しモードとされるとき、アドレス入力端子AY0～AYjを介して供給されるYアドレス信号AY0～AYjを取り込み、保持する。また、フラッシュメモリが全消去モードとされるとき、消去制御回路ECから供給される消去Yアドレス信号EY0～EYjを取り込み、保持する。そして、これらのYアドレス信号又は消去Yアドレス信号をもとに $j+1$ ビットの内部アドレス信号 $Y0 \sim Yj$ を形成して、YアドレスデコーダYDに供給する。YアドレスデコーダYDは、YアドレスバッファYBから供給される内部

アドレス信号Y0～Yjをデコードして、対応する上記ビット線選択信号を一時的にハイレベルとする。

【0022】メモリアレイMARYの指定された8本のビット線がYスイッチYSを介して選択的に接続状態とされる共通データ線CD0～CD7は、消去制御回路ECに結合されるとともに、ライトアンプWAの対応する単位回路に結合され、さらにセンスアンプSAの対応する単位回路に結合される。

【0023】ライトアンプWA及びセンスアンプSAは、共通データ線CD0～CD7に対応して設けられる8個の単位回路をそれぞれ含む。このうち、ライトアンプWAの各単位回路の出力端子は、対応する共通データ線CD0～CD7に結合され、その入力端子は、データ入力バッファIBの対応する単位回路の出力端子に結合される。また、センスアンプSAの各単位回路の入力端子は、対応する共通データ線CD0～CD7に結合され、その出力端子は、データ出力バッファOBの対応する単位回路の入力端子に結合される。データ入力バッファIBの各単位回路の入力端子ならびにデータ出力バッファOBの各単位回路の出力端子は、対応するデータ入出力端子IO0～IO7にそれぞれ共通結合される。

【0024】データ入力バッファIBの各単位回路は、フラッシュメモリが書き込みモードで選択状態とされる時、対応するデータ入出力端子IO0～IO7を介して入力される書き込みデータを取り込み、ライトアンプWAの対応する単位回路に伝達する。これらの書き込みデータは、ライトアンプWAの各単位回路によって所定の書き込み信号とされ、共通データ線CD0～CD7を介してメモリアレイMARYの選択された8個のメモリセルに伝達される。なお、ライトアンプWAの各単位回路から出力される書き込み信号のレベルは、対応する書き込みデータが論理“0”とされるとき電源電圧VCCのようなハイレベルとされ、対応する書き込みデータが論理“1”とされるとき接地電位VSSとされる。

【0025】一方、センスアンプSAの各単位回路は、フラッシュメモリが読み出しモード又はベリファイモードで選択状態とされるとき、メモリアレイMARYの選択された8個のメモリセルから対応する共通データ線CD0～CD7を介して出力される読み出し信号を増幅する。これらの読み出し信号は、フラッシュメモリが読み出しモードとされるとき、データ出力バッファOBの対応する単位回路から対応するデータ入出力端子IO0～IO7を介してフラッシュメモリの外部に送出される。また、フラッシュメモリがベリファイモードとされるとき、後述する消去制御回路ECに伝達され、消去判定に供される。この実施例において、メモリアレイMARYの選択された8個のメモリセルから出力される読み出し信号は、対応するメモリセルのしきい値電圧に応じた値の電流信号とされる。このため、センスアンプSAの各単位回路は、電流信号として得られる読み出し信号を電

圧信号に変換する電流電圧変換回路をそれぞれ含む。

【0026】消去制御回路ECは、図示されない消去判定回路、アドレスカウンタ及びブロックカウンタを含み、所定のアルゴリズムに従ってメモリセルに対するプレライト及び消去動作を選択的に実行する。この際、消去制御回路ECは、消去Xアドレス信号EX0～EXiならびに消去Yアドレス信号EY0～EYjを形成し、XアドレスバッファXB及びYアドレスバッファYBに供給する。また、プレライトのための書き込み信号を形成し、ライトアンプWAに伝達する。

【0027】タイミング制御回路TCは、起動制御信号として供給されるチップイネーブル信号CEB（ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にBを付して表す。以下同様）、ライトイネーブル信号WEB及び出力イネーブル信号OEBをもとに各種の内部制御信号を選択的に形成し、フラッシュメモリの各部に供給する。

【0028】図2には、図1のフラッシュメモリに含まれる昇圧回路VBの一実施例の回路図が示されている。また、図3には、図2の昇圧回路VBに含まれるレベル変換インバータLV1の一実施例の回路図が示され、図4には、図2の昇圧回路VBの一実施例の信号波形図が示されている。これらの図をもとに、この発明が適用された昇圧回路VBの第1の実施例の具体的構成及び動作ならびにその特徴について説明する。なお、以下の回路図において、そのチャンネル（バックゲート）部に矢印が付されるMOSFETはPチャンネル型（第1導電型）であり、矢印の付されないNチャンネル型（第2導電型）と区別して示される。

【0029】図2において、この実施例の昇圧回路VBは、特に制限されないが、Q個つまり3個の昇圧用キャパシタC1～C3（第1ないし第Qの容量手段）を含む。これらのキャパシタの上部電極（一方の電極）つまり内部ノードu1～u3は、対応するPチャンネルMOSFETP3、P6及びP9（第2のMOSFET）のドレインに結合され、その下部電極（他方の電極）つまり内部ノードd1～d3は、対応するNチャンネルMOSFETN1、N2及びN3（第3のMOSFET）を介して接地電位VSSに結合される。MOSFETP3、P6及びP9のソースは、対応するPチャンネルMOSFETP2、P5及びP8（第1のMOSFET）を介して電源電圧VCCに結合される。MOSFETP3、P6及びP9の基板部は、対応する内部ノードu1、u2及びu3に結合され、MOSFETP2、P5及びP8の基板部は電源電圧VCCに結合される。MOSFETN1～N3のゲートには、クロック発生回路CKGからクロック信号CK1（第1のクロック信号）が供給される。また、MOSFETP2、P5及びP8のゲートには、クロック信号CK1のインバータV2、V3及びV

4による反転信号が供給され、MOSFET P3、P6及びP9のゲートには、そのレベル変換インバータLV1、LV3及びLV5による反転信号が供給される。2個のMOSFET P2及びP3、P5及びP6ならびにP8及びP9は第1のスイッチ手段を構成し、MOSFET N1～N3は第2のスイッチ手段に対応する。

【0030】昇圧回路VBは、さらに、電源電圧VCCとキャパシタC1の下部電極つまり内部ノードd1との間ならびにキャパシタC1～C2（第1ないし第Q-1の容量手段）の上部電極つまり内部ノードu1～u2とキャパシタC2～C3（第2ないし第Qの容量手段）の下部電極つまり内部ノードd2～d3との間に第3のスイッチ手段として設けられるPチャンネルMOSFET P1、P4及びP7（第4のMOSFET）を含む。これらのMOSFET P1、P4及びP7のゲートには、クロック信号CK2（第2のクロック信号）のインバータV1ならびにレベル変換インバータLV2及びLV4による反転信号がそれぞれ供給され、その基板部は、そのソースつまり電源電圧VCCならびに内部ノードu1及びu2にそれぞれ結合される。キャパシタC3の上部電極つまり内部ノードu3は、ダイオード形態とされるNチャンネルMOSFET N4を介して、昇圧回路VBの出力端子つまり高電圧供給点VPPに結合される。この高電圧供給点VPPは、さらに平滑容量を含むクランプ回路VCを介して接地電位VSSに結合される。なお、インバータV1は、レベル変換インバータに置き換えてよい。

【0031】この実施例において、クロック信号CK1及びCK2は、図4に示されるように、所定の周期を有しかつ同時に有効レベルつまりハイレベルとされることのないパルス信号とされる。また、レベル変換インバータLV1～LV5は、特に制限されないが、図3のレベル変換インバータLV1に代表して示されるように、回路の高電圧入力端子Vmと接地電位VSSとの間に直列形態に設けられるPチャンネルMOSFET P11及びNチャンネルMOSFET N6を含む。これらのMOSFET P11及びN6の共通結合されたドレインは、回路の出力端子outに結合される。また、MOSFET N6のゲートは、回路の入力端子inに結合され、MOSFET P11のゲートは、PチャンネルMOSFET P10を介して回路の高電圧入力端子Vmに結合されるとともに、NチャンネルMOSFET N5を介して回路の入力端子inに結合される。MOSFET P10及びP11の基板部は、高電圧入力端子Vmに結合される。また、MOSFET P10のゲートは回路の出力端子outに結合され、MOSFET N5のゲートは電源電圧VCCに結合される。なお、レベル変換インバータLV1について確認すると、その高電圧入力端子Vmは、キャパシタC1の上部電極つまり内部ノードu1に結合される。また、その入力端子inにはクロック信号CK1

が供給され、その出力端子outはMOSFET P3のゲートに結合される。

【0032】これらのことから、各レベル変換インバータの出力端子outにおける出力信号のレベルは、その入力端子inにおける入力信号のレベルが電源電圧VCCのようなハイレベルとされるとき、MOSFET N6のオン状態を受けて接地電位VSSのようなロウレベルとされ、入力信号のレベルが接地電位VSSのようなロウレベルとされるとき、MOSFET P11のオン状態を受けて高電圧入力端子Vmにおける高電圧のようなハイレベルとされる。これにより、レベル変換インバータLV1～LV5は、その入力端子inにおける入力信号のレベルを反転しかつそのハイレベルを高電圧入力端子Vmに供給される高電圧に変換すべく作用し、対応するPチャンネルMOSFET P3、P4、P5、P7ならびにP9のオン・オフ動作を確実に制御しうるものとなる。

【0033】クロック信号CK1がハイレベルとされクロック信号CK2がロウレベルとされる第1のタイミングにおいて、昇圧回路VBでは、MOSFET N1～N3、P2及びP3、P5及びP6ならびにP8及びP9が一斉にオン状態とされ、MOSFET P1、P4及びP7はオフ状態とされる。このため、キャパシタC1～C3の上部電極つまり内部ノードu1～u3は、対応する2個のMOSFET P2及びP3、P5及びP6ならびにP8及びP9を介して電源電圧VCCに結合され、その下部電極つまり内部ノードd1～d3は、対応するMOSFET N1～N3を介して接地電位VSSに結合される。これにより、キャパシタC1～C3は、電源電圧VCC及び接地電位VSS間に実質的に並列結合されて充電される形となり、その下部電極つまり内部ノードd1～d3は、図4に示されるように、対応するMOSFET N1～N3のしきい値電圧の影響を受けることなく接地電位VSSとされ、その上部電極つまり内部ノードu1～u3は、対応する2個のMOSFET P2及びP3、P5及びP6ならびにP8及びP9のしきい値電圧の影響を受けることなく電源電圧VCCに充電される。

【0034】一方、クロック信号CK1がロウレベルとされクロック信号CK2がハイレベルとされる第2のタイミングでは、MOSFET N1～N3、P2及びP3、P5及びP6ならびにP8及びP9がともにオフ状態とされ、代わってMOSFET P1、P4及びP7が一斉にオン状態とされる。このため、キャパシタC1～C3は、MOSFET P1、P4及びP7を介して実質的に直列結合されて放電される形となり、図4に示されるように、まずキャパシタC1の下部電極つまり内部ノードd1がMOSFET P1を介して電源電圧VCCとされ、これを受けてその上部電極つまり内部ノードu1とキャパシタC2の下部電極つまり内部ノードd2とが

電源電圧VCCの2倍つまり2VCCまで押し上げられる。また、これを受けてキャパシタC2の上部電極つまり内部ノードu2とキャパシタC3の下部電極つまり内部ノードd3とが電源電圧VCCの3倍つまり3VCCまで押し上げられ、さらにこれを受けてキャパシタC3の上部電極つまり内部ノードu3が電源電圧VCCの4倍つまり4VCCまで押し上げられる。

【0035】以下、同様な昇圧動作が繰り返され、キャパシタC3の上部電極つまり内部ノードu3には、その最大電位を4VCCとし最小電位をVCCとするパルス信号が得られる。このパルス信号は、ダイオード形態とされるMOSFETN4と平滑容量を含むクランプ回路VCとを経て高電圧供給点VPPに平滑な昇圧電圧として伝達され、この昇圧電圧のクランプ前における電位VPP0は、

$$VPP0 = 4 \times VCC - Vth$$

つまり+20V-Vthのような高電位となる。昇圧電圧VPP0は、クランプ回路VCによりその電位が+12Vにクランプされた後、高電圧VPPとしてXアドレスデコーダXD及びソーススイッチSSに供給される。

【0036】すなわち、この実施例の昇圧回路について一般的な考察を加えた場合、その昇圧動作により高電圧供給点VPPに得られる昇圧電圧のクランプ前の電位VPP0は、昇圧回路の段数つまり昇圧用キャパシタの数をQとすると、

$$VPP0 = (Q + 1) \times VCC - Vth$$

となり、図9に掲げた従来の同一段数の多段型昇圧回路に比較してその電位は $Q \times Vth$ 分だけ高くなる。このため、所望の高電圧を得るに必要な昇圧回路の段数が相応して少なくなり、その所要レイアウト面積を縮小できるとともに、各段のキャパシタの充電動作はMOSFETのしきい値電圧の影響を受けることなく行われ、これによってその電荷転送効率が高められる。さらに、上記説明から明らかなように、高電圧供給点VPPには、クロック信号CK1及びCK2の1サイクル分の時間をもって上記所望の高電位が得られ、昇圧回路VBの立ち上がり時間が大幅に短縮される。この結果、昇圧回路VBを含むフラッシュメモリのチップ面積を縮小し、その高性能化を図ることができるものである。

【0037】図5には、この発明が適用された昇圧回路VBの第2の実施例の回路図が示されている。また、図6には、図5の昇圧回路VBに含まれるクロックレベル変換回路CLの一実施例の回路図が示され、図7には、その一実施例の信号波形図が示されている。なお、この実施例の昇圧回路VBは、前記図2の実施例を基本的に踏襲するものであるため、これと異なる部分について説明を追加する。

【0038】図5において、この実施例の昇圧回路VBは、キャパシタC1～C3の上部電極つまり内部ノードu1～u3と電源電圧VCCとの間に第1のスイッチ手

段として設けられるNチャンネルMOSFETN7、N8及びN9（第5のMOSFET）と、キャパシタC1～C3の下部電極つまり内部ノードd1～d3と接地電位VSSとの間に第2のスイッチ手段として設けられるNチャンネルMOSFETN1、N2及びN3（第3のMOSFET）とを含む。これらのMOSFETのゲートには、クロックレベル変換回路CLからその出力信号つまりクロック信号CK1（第3のクロック信号）が共通に供給される。クロックレベル変換回路CLには、クロック発生回路CKGから前記第1のクロック信号の反転信号に相当する反転クロック信号CK1Bが供給される。

【0039】ここで、反転クロック信号CK1Bは、図7に示されるように、その有効レベルを接地電位VSSのようなロウレベルとし、その無効レベルを電源電圧VCCのようなハイレベルとする反転パルス信号であって、ハイレベルを有効レベルとするクロック信号CK2とはその有効レベルとなる期間を共有しない。

【0040】一方、クロックレベル変換回路CLは、特に制限されないが、図6に示されるように、その下部電極に反転クロック信号CK1BのインバータV5による反転信号を受けるキャパシタC4を含む。このキャパシタC4の上部電極は、ダイオード形態とされるNチャンネルMOSFETN10を介して電源電圧VCCに結合されるとともに、直列形態とされるPチャンネルMOSFETP12及びNチャンネルMOSFETN11を介して接地電位VSSに結合される。これらのMOSFETP12及びN11の共通結合されたドレインにおける電位は、クロック信号CK1として出力され、その共通結合されたゲートには、反転クロック信号CK1Bが供給される。また、MOSFETP12の基板部は、そのソースつまりキャパシタC4の上部電極に結合される。

【0041】反転クロック信号CK1Bが無効レベルつまり電源電圧VCCのようなハイレベルとされるとき、インバータV5の出力端子つまりキャパシタC4の下部電極における電位は接地電位VSSのようなロウレベルとされる。このとき、キャパシタC4の上部電極は、ダイオード形態とされるMOSFETN10を介して電源電圧VCCよりMOSFETN10のしきい値電圧分だけ低い電位 $VCC - Vth$ に充電される。また、MOSFETP12は、そのゲート電位がそのソース電位より高いためにオフ状態となり、MOSFETN11はオン状態となる。これにより、クロックレベル変換回路CLの出力端子におけるクロック信号CK1のレベルは、接地電位VSSのようなロウレベルとされる。

【0042】次に、反転クロック信号CK1Bが有効レベルつまり接地電位VSSのようなロウレベルとされると、インバータV5の出力端子つまりキャパシタC4の下部電極における電位は電源電圧VCCのようなハイレベルとされ、これによってキャパシタC4の上部電極が

13

2VCC-V_{th}に押し上げられる。このとき、MOSFETN11はオフ状態とされ、代わってMOSFETP12がオン状態となって、キャパシタC4の上部電極における電位2VCC-V_{th}はそのままクロック信号CK1のハイレベルとなる。このクロック信号CK1のハイレベルに着目した場合、電位2VCC-V_{th}は、言い換えるならばVCC+V_{th}+(VCC-2V_{th})であって、電源電圧VCCの電位VCCに図5のMOSFETN7~N9のしきい値電圧V_{th}を加えた値よりもVCC-2V_{th}分だけ高いレベルとなる。この結果、MOSFETN7、N8及びN9がクロック信号CK1のハイレベルを受けてオン状態とされるとき、キャパシタC1~C3の上部電極は、これらのMOSFETのしきい値電圧の影響を受けることなく電源電圧VCCまで充分にかつ効率良く充電されるものとなる。

【0043】つまり、この実施例では、キャパシタC1~C3の上部電極と電源電圧VCCとの間に設けられる第1のスイッチ手段が、そのしきい値電圧による影響を与えることなくしかもレベル反転のためのインバータ及びレベル変換インバータを要することなく、それぞれ1個のNチャンネルMOSFETN7~N9に置き換えられる訳であって、これによって昇圧回路VBの所要レイアウト面積がさらに縮小され、フラッシュメモリのチップ面積が縮小されるものとなる。

【0044】以上の実施例により得られる作用効果は下記の通りである。すなわち、

(1) 単一電源型フラッシュメモリ等に内蔵される昇圧回路を、Q個のキャパシタと、回路の電源電圧と第1ないし第Qのキャパシタの一方の電極との間にそれぞれ設けられ第1のクロック信号に従って選択的にオン状態とされるQ個の第1のスイッチ手段と、第1ないし第Qのキャパシタの他方の電極と回路の接地電位との間にそれぞれ設けられ第1のスイッチ手段と同時にオン状態とされるQ個の第2のスイッチ手段と、回路の電源電圧と第1のキャパシタの他方の電極との間あるいは第1ないし第Q-1のキャパシタの一方の電極と第2ないし第Qのキャパシタの他方の電極との間にそれぞれ設けられ第1のクロック信号と相補的に有効レベルとされる第2のクロック信号に従って選択的にオン状態とされるQ個の第3のスイッチ手段とを基本に構成することで、第1のクロック信号が有効レベルとされるとき、Q個のキャパシタを実質的に並列結合してその一方の電極を電源電圧VCCまで充電し、第2のクロック信号が有効レベルとされるとき、これらのキャパシタを実質的に直列結合して高電圧供給点における電位を一気に(Q+1)×VCCまで押し上げることができるという効果が得られる。

【0045】(2) 上記(1)項により、昇圧回路の所要段数を削減し、その立ち上がり時間を短縮することができるという効果が得られる。

(3) 上記(1)項及び(2)項により、昇圧回路を内

14

蔵する単一電源型フラッシュメモリ等のチップ面積を縮小し、その高性能化を図ることができるという効果が得られる。

【0046】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、フラッシュメモリは、複数の昇圧回路VBを備えることができるし、この昇圧回路VBにより形成される高電圧VPPの電位及び極性は任意に設定することができる。また、メモリアレイMARYは、任意数のサブアレイに分割できるし、その消去単位も任意数のワード線を単位として設定できる。データ入出力端子I00~I07は、データ入力端子又はデータ出力端子として専用化することができるし、フラッシュメモリに同時に入力又は出力される記憶データのビット数も特に8ビット単位であることを必須条件とはしない。フラッシュメモリは任意のブロック構成を採りうるし、起動制御信号やアドレス信号の組み合わせ、メモリアレイMARYにおけるワード線、ソース線及びビット線の選択及び非選択レベルならびに電源電圧の極性及び絶対値等も、種々の実施形態を採りうる。

【0047】図2及び図5において、昇圧回路VBは、任意の段数つまり任意数の昇圧用キャパシタを含むことができるし、インバータV1は、前述のように、レベル変換インバータに置き換えることができる。また、キャパシタC1~C3の上部電極側及び下部電極側に第1及び第2のスイッチ手段として設けられるMOSFETは、電源電圧極性に応じて任意の導電型を選択できるし、各段間に設けられる第3のスイッチ手段も、Nチャンネル型のスイッチMOSFETあるいはPチャンネル及びNチャンネルMOSFETからなる相補スイッチに置き換えることができる。図5において、MOSFETN1~N3のゲートに供給されるクロック信号を、図8に示されるように、そのハイレベルが昇圧されない通常のクロック信号CK1とし、MOSFETN7~N9のゲートに供給されるクロック信号CK1Lのハイレベルのみをクロックレベル変換回路CLによって昇圧してもよい。また、クロックレベル変換回路CLは、図8に示されるように、ダイオード形態とされるNチャンネルMOSFETN12と、比較的小きなコンダクタンスを有しクロック信号CK1がロウレベルとされるとき選択的にオン状態とされるNチャンネルMOSFETN13とを基本に構成することができる。

【0048】図2、図5及び図8において、キャパシタC1の下部電極側に設けられるMOSFETN1及びP1は、クロック信号CK2をこのキャパシタC1の下部電極に直接入力することによって等価的に実現できる。さらに、図2、図5及び図8に示される昇圧回路VBの具体的な構成や図4及び図7に示されるクロック信号のタ

イミング関係等は、これらの実施例による制約を受けない。

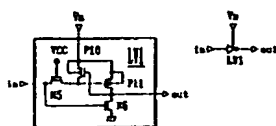
【0049】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野である単一電源型フラッシュメモリの昇圧回路に適用した場合について説明したが、それに限定されるものではなく、例えば、昇圧回路として単体で形成されるものや他の各種のメモリ集積回路装置に内蔵される同様な昇圧回路にも適用できる。この発明は、少なくとも昇圧用キャパシタを含む昇圧回路ならびにこのような昇圧回路を含む装置及びシステムに広く適用できる。

【0050】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、単一電源型フラッシュメモリ等に内蔵される昇圧回路を、Q個のキャパシタと、回路の電源電圧と第1ないし第Qのキャパシタの一方の電極との間にそれぞれ設けられ第1のクロック信号に従って選択的にオン状態とされるQ個の第1のスイッチ手段と、第1ないし第Qのキャパシタの他方の電極と回路の接地電位との間にそれぞれ設けられ第1のスイッチ手段と同時にオン状態とされるQ個の第2のスイッチ手段と、回路の電源電圧と第1のキャパシタの他方の電極との間あるいは第1ないし第Q-1のキャパシタの一方の電極と第2ないし第Qのキャパシタの他方の電極との間にそれぞれ設けられ第1のクロック信号と相補的に有効レベルとされる第2のクロック信号に従って選択的にオン状態とされるQ個の第3のスイッチ手段とを基本に構成することで、第1のクロック信号が有効レベルとされるとき、Q個のキャパシタを実質的に並列結合してその一方の電極を電源電圧電位VCCまで一斉に充電し、第2のクロック信号が有効レベルとされるとき、これらのキャパシタを実質的に直列結合して高電圧供給点における電位を一気に $(Q+1) \times VCC$ まで押し上げることができる。この結果、昇圧回路の所要段数を削減し、その立ち上がり時間を短縮することができるため、昇圧回

【図3】

図3 レベル変換インバータ回路図



路を内蔵する単一電源型フラッシュメモリ等のチップ面積を縮小し、その高性能化を図ることができる。

【図面の簡単な説明】

【図1】この発明が適用された昇圧回路を含むフラッシュメモリの一実施例を示すブロック図である。

【図2】この発明が適用された昇圧回路の第1の実施例を示す回路図である。

【図3】図1の昇圧回路に含まれるレベル変換インバータの一実施例を示す回路図である。

10 【図4】図1の昇圧回路の一実施例を示す信号波形図である。

【図5】この発明が適用された昇圧回路の第2の実施例を示す回路図である。

【図6】図1の昇圧回路に含まれるクロックレベル変換回路の一実施例を示す回路図である。

【図7】図6のクロックレベル変換回路の一実施例を示す信号波形図である。

【図8】この発明が適用された昇圧回路の第3の実施例を示す回路図である。

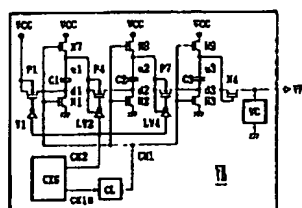
20 【図9】従来の昇圧回路の一例を示す回路図である。

【符号の説明】

MARY・・・メモリアレイ、XD・・・Xアドレスデコーダ、SS・・・ソーススイッチ、XB・・・Xアドレスバッファ、YS・・・Yスイッチ、YD・・・Yアドレスデコーダ、YB・・・Yアドレスバッファ、WA・・・ライトアンプ、SA・・・センスアンプ、IB・・・データ入力バッファ、OB・・・データ出力バッファ、EC・・・消去制御回路、VB・・・昇圧回路、TC・・・タイミング制御回路、C1～C11・・・キャパシタ、P1～P12・・・PチャンネルMOSFET、N1～N20・・・NチャンネルMOSFET、V1～V7・・・インバータ、LV1～LV5・・・レベル変換インバータ、CKG・・・クロック発生回路、VC・・・クランプ回路、CL・・・クロックレベル変換回路。

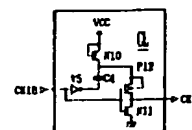
【図5】

図5 昇圧回路図(実施例2)



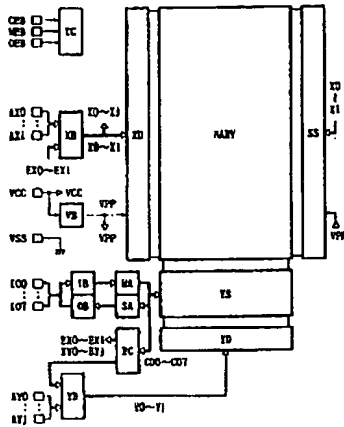
【図6】

図6 クロックレベル変換回路図



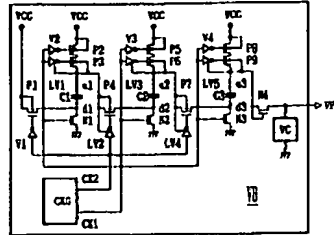
〔図1〕

図1 フラッシュメモリブロック図



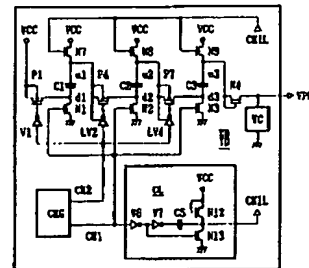
〔図2〕

図2 昇圧回路回路図 (実施例1)



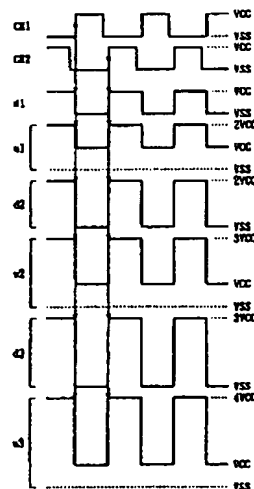
〔図8〕

図8 昇圧回路回路図 (実施例3)



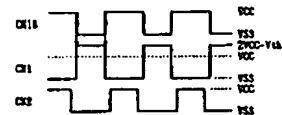
〔図4〕

図4 昇圧回路信号波形図



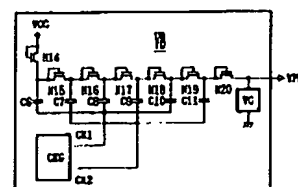
〔図7〕

図7 クロックレベル変動回路信号波形図



〔図9〕

図9 昇圧回路回路図 (従来例)



フロントページの続き

(51)Int. Cl.⁶

H 0 1 L 21/822

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 古野 毅

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内